

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151867

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 04-303981

(71)Applicant : SHARP CORP

(22)Date of filing : 13.11.1992

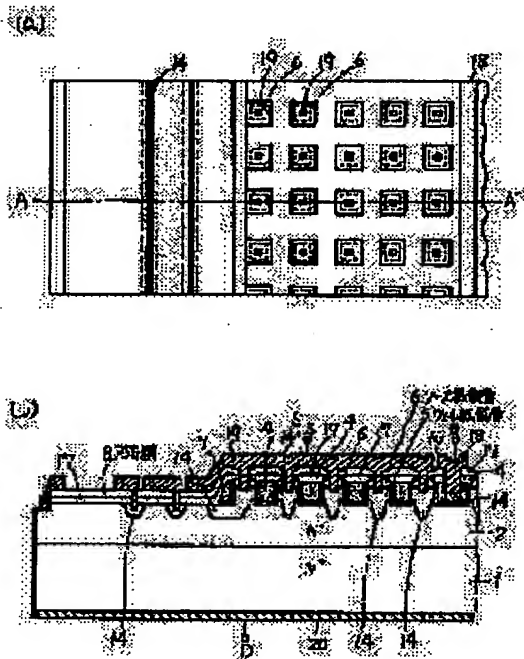
(72)Inventor : OKADA MASATAKE

(54) VERTICAL MOS TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce an ON resistance of a vertical MOS transistor having a trench structure and obtain a high breakdown strength and simplify a process.

CONSTITUTION: P-type well diffusion layers 5 and N-type source diffusion layers 6 formed by stacking the layers in a netted shape and gates of polysilicon layers 4 buried in insulating films 17 of trenches between the layers are installed on the surface of an N-type semiconductor substrate 1. Deep p-type diffusion layers 14 extending below the well diffusion layers 5 of the bottom of the source diffusion layers 6 are installed. The wall diffusion layers 5 and the source diffusion layers 6 are formed by an ion implantation and a thermal diffusion.



LEGAL STATUS

[Date of request for examination]

26.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2912508

[Date of registration]

09.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-151867

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. ⁵ H01L 29/784	識別記号	庁内整理番号 9168-4M	FI H01L 29/78	技術表示箇所 321 V
---	------	-------------------	------------------	-----------------

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平4-303981

(22)出願日 平成4年(1992)11月13日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 岡田 正剛

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

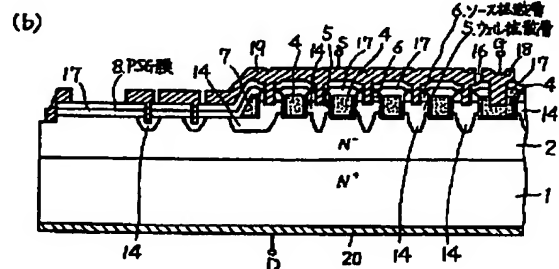
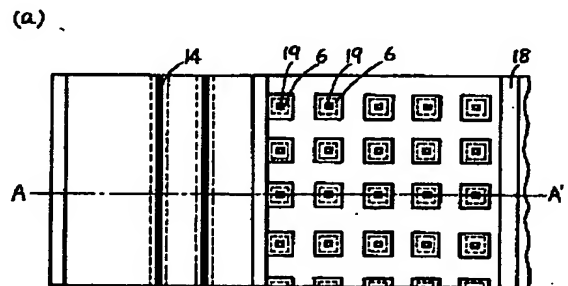
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 縦型MOSトランジスタおよびその製造方法

(57)【要約】

【目的】 トレンチ構造の縦型MOSトランジスタのオン抵抗を低くし高耐圧化し、さらに工程を簡略化する。

【構成】 N型の半導体基板1の表面に網目状に積層して形成されたP型のウェル拡散層5とN型のソース拡散層6と、それらの間の溝の絶縁膜17に埋設されたポリシリコン層4のゲートが設けられている。ソース拡散層6の下部のウェル拡散層5の下方に延長する深いP型拡散層14が設けられている。ウェル拡散層5とソース拡散層6はイオン注入と熱拡散により形成される。



【特許請求の範囲】

【請求項1】 第1の導電型の半導体基板の表面に網目状に積層して形成された第2の導電型のウェル拡散層と第1の導電型のソース拡散層と、これらの間の溝の絶縁膜に埋設されたゲートとを有するトレンチ構造の縦型MOSトランジスタにおいて、ソース拡散層の下部のウェル拡散層の下方に延長する深い第2の導電型の拡散層を有することを特徴とする縦型MOSトランジスタ。

【請求項2】 第1の導電型の半導体基板の表面のソース部とガードリング部に複数の第2の導電型の深い拡散層を形成する工程と、

表面に第1の導電型の不純物と第2の導電型の不純物をイオン注入し熱拡散によりウェル拡散層とソース拡散層を形成する工程と、

エッチングによりゲート部のトレンチを形成し同時にチップ周辺部の不要なウェル拡散層とソース拡散層とを除去しガードリング部を残す工程とを有することを特徴とする請求項1記載の縦型MOSトランジスタの製造方法。

【請求項3】 ソース部コンタクトホールとしてソース拡散層の拡散深さより深くかつウェル拡散層の拡散深さより浅くなるようなトレンチと、ゲート部コンタクトホールとして絶縁膜を貫きゲートに達するトレンチとを同時にエッチングにより形成する工程を有する請求項1記載の縦型MOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、縦型MOSトランジスタ特にトレンチ構造を有するパワー用高耐圧低オン抵抗の縦型MOSトランジスタおよびその製造方法の改良に関するものである。

【0002】

【従来の技術】 縦型MOSトランジスタには、図8～図10に示されるものがある。

【0003】 図8は、ゲート部にV字状の溝を形成したVMOSの略断面図である。N⁺型の基板21の表面にN⁻型のエピタキシャル層22を形成し、その表面にP型拡散層23、23-1が形成されている。左側のP型拡散層23-1はガードリング用である。右側のP型拡散層23の表面には複数の領域のN⁺型拡散層24、24...が形成されている。各N⁺型拡散層24、24...にはN⁻型エピタキシャル層22に達するV字形の溝25、25...が設けられている。全面にSiO₂のような酸化膜26が形成され、必要な場所に穴をあけ金属膜27を蒸着し、ゲート電極およびソース電極を形成し、ゲート端子Gおよびソース端子Sとなる。裏面にも金属膜28を蒸着し、ドレイン電極が形成されドレイン端子Dとなる。

【0004】 図9は、二重拡散構造のDMOSの略断面図である。N⁺型の基板21の表面にN⁻型のエピタキ

シャル層22を形成し、その表面に複数のP型拡散層23、23-1が形成されている。左側のP型拡散層23-1はガードリング用である。右側のP型拡散層23の表面には複数のN⁺型拡散層24、24...が二重拡散により形成されている。隣接するP型拡散層23、23の表面に形成されたN⁺型拡散層24、24にまたがるようにSiO₂のような酸化膜26に埋設されたポリシリコン層29が形成されゲートとなる。全面は酸化膜26で覆われ必要な場所に穴をあけ、金属膜27を蒸着し、ソース電極を形成する。裏面にも金属膜28を蒸着しドレイン電極が形成される。それぞれの電極はゲート端子G、ソース端子Sおよびドレイン端子Dとなる。

【0005】 前述のVMOSおよびDMOSは、通常、いずれも多数個のFETが素子内で並列接続されたマルチセル構造を持つ。

【0006】 図10は、トレンチ構造のゲートを有するTDMOSの略断面図である。N⁺型の基板21の表面にN⁻型エピタキシャル層22を形成し、その表面にウェル拡散層となるP型拡散層23およびソース拡散層となるN⁺型拡散層24を二重拡散により形成する。表面から複数のトレンチ30、30...を形成し、酸化膜26を形成しゲート用のポリシリコン層29を埋め込み、さらに全面に酸化膜26を形成した後必要な場所に穴をあけ、表面に金属膜27を蒸着し、ソース電極およびゲート電極を形成し、ソース端子Sおよびゲート端子Gとなる。裏面にも金属膜28を蒸着しドレイン電極を形成しドレイン端子Dとなる。ソース電極の一部はP型拡散層23に達しており、ゲート電極は酸化膜26を貫いて埋設されたポリシリコン層29に接続されている。

【0007】 VMOSはV字形の溝を形成するため微細化が困難であり、DMOSは微細化すればウェルとウェルとの間の抵抗が大きくなり、低オン抵抗化が困難である。

【0008】 微細化および低オン抵抗化のためTDMOSが使用されつつある。

【0009】

【発明が解決しようとする課題】 トレンチ構造のTDMOSは、微細化および低オン抵抗化のためには有利であるが、トレンチを深く形成できないため、P型拡散層23のウェル拡散を浅くする必要があり、高耐圧化が困難であり、また、工程が複雑であった。

【0010】 本発明の目的は、トレンチ構造のMOSトランジスタのオン抵抗を低くし、抗耐圧化し、さらに工程を簡略化することにある。

【0011】

【課題を解決するための手段】 本発明の縦型MOSトランジスタにおいては、ソース部直下の深い拡散層とチップ周辺部のガードリングを同時に形成し、高耐圧化を図るとともに、ウェル拡散およびソース拡散をイオン注入と熱酸化により半導体基板の主表面全面に行ない、その

後ゲートのトレンチ形成時にチップ周辺の不要なウェル拡散およびソース拡散を取除く。また、ソースのコンタクトホールとゲートのコンタクトホールを同時にエッチングにより形成し、工程を簡素化する。

【0012】

【作用】ソース拡散層と積層されたウェル拡散層の下部の第2の導電型の拡散層の拡散を深くすることで、ウェルの曲率が大きくなり、また、チップ周辺部にガードリングを配置することで、半導体表面付近の空乏層の伸びを促進し、電界が緩和され高耐圧化が図られる。しかも、ウェル拡散およびソース拡散は主表面全面に行なうので、この工程でのフォトリソエッチングが不要となり、さらに、ゲートコンタクトホール形成をソースコンタクトホール形成と同時に進めることで、従来のトレンチ構造のMOSトランジスタより大幅な工程短縮が図られる。

【0013】

【実施例】図1(a)は本発明の一実施例の平面図であり、図1(b)は図1(a)のA-A'断面図である。半導体基板のエッチング形状および拡散形状をわかりやすくするため、図1(a)では、図1(b)の表面の電極配線を省略してある。

【0014】図1(a)および(b)において、N⁺型の半導体基板1の表面には、N⁻型のエピタキシャル層2が形成されており、さらに、その表面には網目状に積層して形成されたP型のウェル拡散層5、5…とN型のソース拡散層6、6…が設けられている。ウェル拡散層5の下部およびガードリング部の下部には予め深い拡散層のP型拡散層14、14…が形成されている。ただし、ガードリング部のP型拡散層14はその上部を削り取られている。P型拡散層14、14…の間に形成された溝には酸化膜17よりなる絶縁層に埋設されたゲートとなるポリシリコン層4が設けられている。

【0015】ガードリング部とソース部との境界にはポリシリコンのサイドウォール7が形成されている。

【0016】表面は酸化膜17とPSG膜8で覆われ、必要な箇所に穴をあけ金属膜18および19を蒸着してゲート電極およびソース電極を形成し、ゲート端子Gおよびソース端子Sが設けられている。ソース電極はウェル拡散層5に達しており、ゲート電極はポリシリコン層4に達している。

【0017】裏面にも金属膜20を蒸着しドレイン電極を形成しドレイン端子Dが設けられている。

【0018】図2～図7は、図1(a)および(b)の構造のMOSトランジスタの製造工程の略断面図である。

【0019】図2に示されるように、たとえばN型不純物であるアンチモン(Sb)を約 $7 \times 10^{14} \text{ atoms/cm}^3$ の濃度で含むN型シリコン基板1上に、同じくN型不純物であるリン(P)を約 $3 \times 10^{14} \text{ atoms/cm}^3$ の濃度で

含むエピタキシャル層2を約 $4.5 \mu\text{m}$ 成長させた後、ソース部およびチップ周辺のガードリング部に、P型不純物であるボロン(B)を拡散深さが $5 \sim 6 \mu\text{m}$ となるように拡散し、P型拡散層14、14…を形成する。全面は酸化膜13で覆われる。

05

【0020】次に、図3に示されるように、酸化膜13を一旦剥離した後、約 $150 \sim 300 \text{ \AA}$ の酸化膜15をウェハ表面に均一に形成した後、ボロン(B)をたとえば加速電圧 50 keV 、ドーズ量 $5 \times 10^{11} \text{ ions/cm}^2$ で、砒素(As)をたとえば加速電圧 80 keV 、ドーズ量 $5 \times 10^{11} \text{ ions/cm}^2$ で、連続してイオン注入する。

10

【0021】次に図4に示すように、熱拡散によりボロンの拡散深さが $1.5 \sim 1.8 \mu\text{m}$ 、砒素の拡散深さが $0.3 \sim 0.5 \mu\text{m}$ となるようにドライブインすると、表面には全面にわたりウェル拡散層5およびソース拡散層6が形成される。その後全面に窒化膜3をデポジションし、周知のフォトリソグラフィ技術により、図1

15

(a)に示すように網目状に開口し、窒化膜3をエッチングした後、四塩化炭素(CCl_4)と酸素(O_2)の混合ガスを用いて反応性イオンエッチングを行ない、ソース部およびゲート配線部のP型拡散層14、14…の間のエピタキシャル層2に、 $2.0 \sim 2.2 \mu\text{m}$ の溝(トレンチ)16、16…を形成する。このときガードリング部の上部のエピタキシャル層2の一部およびP型拡散層14の一部ならびにウェル拡散層5およびソース拡散層の延長された不要な部分も除去する。溝16の周辺を含む全面には、膜厚が約 600 \AA となるように酸化膜17を形成する。そして、全面にデポジションにより、ドーパされたポリシリコン層4を、約 $2.5 \mu\text{m}$ の厚さに形成する。これは溝16、16…の中にも入り込む。

25

30

【0022】次に図5に示すように、四塩化炭素(CCl_4)と六フッ化硫黄(SF_6)の混合ガスを用いて反応性イオンエッチングを行ない、窒化膜3が現われるまでポリシリコン層4のエッチングを行なう。このとき溝16の深さを適切にしておけば、この溝16の部分のポリシリコン層4は厚いから、表面から一様にエッチングしたとき溝16、16…の部分のポリシリコン層は残る。また同様に、チップ周辺のエピタキシャル層をエッチングした部分とソース部のエピタキシャル層を除去しなかった部分との境界には、ポリシリコンのサイドウォール7、7が形成される。このサイドウォール7は、以降の工程でのレジスト、電極等の段切れを防止する。その後局所酸化を行ない、窒化膜3を剥離する。表面は再び酸化膜17で覆われる。

35

40

45

【0023】次に図6に示されるように、全面にデポジションによりPSG膜8を形成し、ダイシングライン部9、ガードリング部コンタクトホール10、ソース部コンタクトホール11、ゲート部コンタクトホール12等

50

を同時に反応性イオンエッチングにより形成する。このとき、ソース部コンタクトホール11は、ソース拡散層6のN⁺部の厚み0.3~0.5 μ mを超えるようにエッチングする必要があるが、ソース部コンタクトホール11の上にあった酸化膜は、図5に示されるように、他の部分より局所酸化の厚み分だけ薄いので、ガスの種類、流量、温度等を適切に選ぶことによって、ソース部コンタクトホールは深く、他の部分は浅くエッチングすることができる。

【0024】最後に図7に示すように、表面にたとえばAl-Si膜のような金属膜18, 19を蒸着により形成してゲート電極およびソース電極を形成し、裏面にたとえばAl-Mo-Ni膜のような金属膜20を蒸着により形成しゲート電極とし、図1(b)に示されるように、ゲート端子G、ソース端子S、ドレイン端子Dを設ける。

【0025】なお、図2~図7の例では、ウェル拡散層5の数が図1(a)および(b)の場合と異なっている。

【0026】

【発明の効果】本発明によれば、トレンチ構造でウェル拡散層が1.5~1.8 μ mと浅いが、ソース拡散層6の中央下部に5~6 μ mの深いP型拡散層14があるため、ドレインとソースとの間に電圧を印加した場合、この深いP型拡散層14より空乏層がトレンチ部を覆うように延び、空乏層の曲率がこの深い拡散層で決定されることと、チップ周辺部にガードリングを配置することによって、高耐圧化が図れる。

【0027】また、ウェル拡散層、ソース拡散層は、イオン注入と熱拡散によって行なわれるから、フォトリソエッチングを用いる必要がなく、ソース部のコンタクトホール形成をガードリング部およびゲート配線部のコンタク

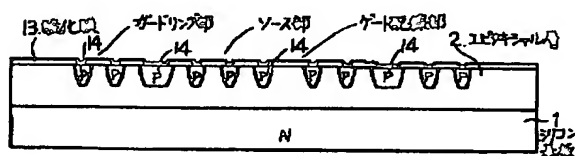
トホール形成およびダイシング部の形成と同時にできるから、大幅な工程短縮が図られ製造コストを安くすることができる。

【図面の簡単な説明】

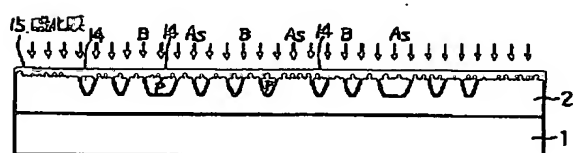
- 05 【図1】(a)は本発明の一実施例の平面図であり、(b)はそのA-A'断面図である。
 【図2】本発明の一実施例の一工程の略断面図である。
 【図3】本発明の一実施例の一工程の略断面図である。
 【図4】本発明の一実施例の一工程の略断面図である。
 10 【図5】本発明の一実施例の一工程の略断面図である。
 【図6】本発明の一実施例の一工程の略断面図である。
 【図7】本発明の一実施例の一工程の略断面図である。
 【図8】従来のVMOSトランジスタの略断面図である。
 15 【図9】従来のDMOSトランジスタの略断面図である。
 【図10】従来のTDMOSの略断面図である。
 【符号の説明】

- 1 シリコン基板
 20 2 エピタキシャル層
 3 窒化膜
 4 ポリシリコン層
 5 ウェル拡散層
 6 ソース拡散層
 25 7 サイドウォール
 8 PSG膜
 10 ガードリング部コンタクトホール
 11 ソース部コンタクトホール
 12 ゲート配線部コンタクトホール
 30 13, 15, 17 酸化膜
 14 P型拡散層
 16 溝

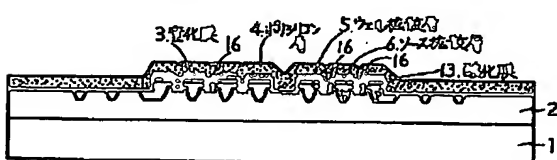
【図2】



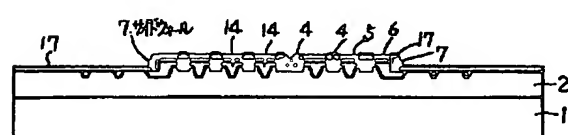
【図3】



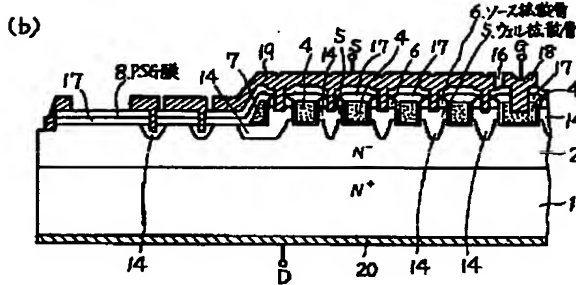
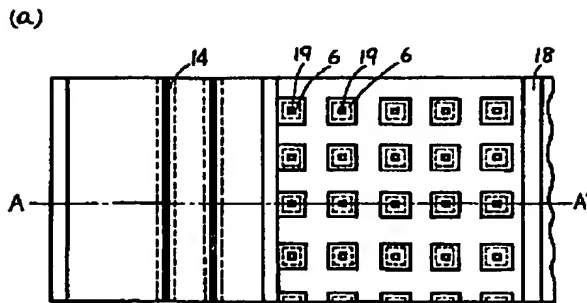
【図4】



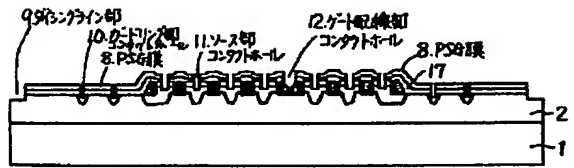
【図5】



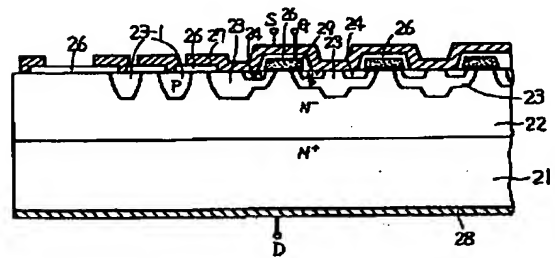
【図1】



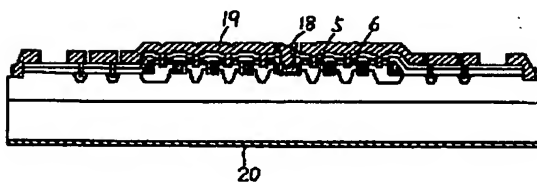
【図6】



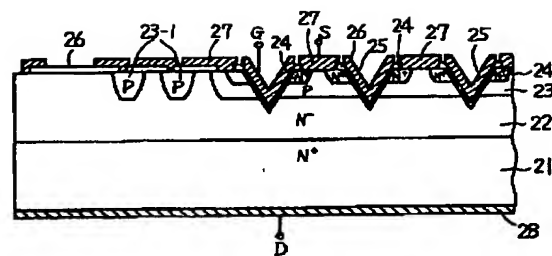
【図9】



【図7】



【図8】



【図10】

